Полтавський Військовий Інститут Зв’язку

**Кафедра схемотехніки радіоелектронних систем**

##### **ОБЧИСЛЮВАЛЬНА ТЕХНІКА ТА МІКРОПРОЦЕСОРИ**

напрям підготовки 0924 «Телекомунікації»

##### **Синтез складних логічних пристроїв.**

Полтава – 2006

**Навчальна література.**

1. Тиртишніков О.І. Обчислювальна техніка та мікропроцесори. Ч.1. Основи обчислювальної техніки: Навчальний посібник. – Полтава: Видавництво ПВІЗ, 2004. с. 63-70.
2. Калабеков Б.А., Мамзелев И.А. Цифровые устройства и микропроцессорные системы. М.: Радио и связь, 1987, с.188-190. 194-199.

**Вступ**

У процесі проектування цифрового пристрою іноді доводиться виконувати мінімізацію логічної функції з кількістю аргументів більше чотирьох. Часто виникає ситуація, коли і кількість виходів більше одного. Також у процесі синтезу треба брати до уваги особливості конкретних мікросхем. На даному занятті будуть розглянути питання синтезу та схемотехнічної реалізації логічних пристроїв, які реалізують логічні функції п’яти аргументів і мають декілька виходів з урахуванням особливостей побудови реальних логічних пристроїв.

1. **Синтез логічних пристроїв з великою кількістю входів**

Раніше розглядалася мінімізація логічних функцій з числом аргументів до чотирьох. Подання й мінімізація функції за допомогою карт Карно істотно ускладнюються, якщо число аргументів функції перевищує чотири. На рис.1 показаний приклад подання функції п'яти аргументів за допомогою карти Карно.

Карта тут складається з двох половин, кожна з яких являє собою карту чотирьох аргументів. Одна з них відповідає *х5* = 1, друга – *х5* = 0. Ці карти можна уявити собі розташованими одна над іншою. При цьому контури можуть бути тривимірними, тобто одна область може охоплювати клітинки обох половин карти. На рис. 1 такий тривимірний контур охоплює вісім клітинок (праві стовпчики обох половин карти).

Відповідно МДНФ логічної функції має вигляд: .

Очевидно, що якщо контур розташований в одній з половин карти (не є тривимірним), то у відповідному елементі МДНФ присутній аргумент *х5* – з інверсією або без неї. В елементі МДНФ, що відповідає тривимірному контурові, аргумент *х5*, навпроти, відсутній.

Для мінімізації функцій з числом аргументів більшим п'яти карти Карно виявляються незручними. Мінімізація таких функцій може бути виконана іншими методами – наприклад, методом Квайна.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
|  | **0** | **0** | **0** | **1** |  |
|  | **0** | **0** | **0** | **1** |  |
|  | **1** | **1** | **0** | **1** |  |
|  | **1** | **1** | **0** | **1** |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
|  | **1** | **1** | **0** | **1** |  |
|  | **1** | **1** | **0** | **1** |  |
|  | **0** | **0** | **0** | **1** |  |
|  | **0** | **0** | **0** | **1** |  |
|  |  |  |  |  |  |

*х5* = 1 *х5* = 0

*Рис. 1. Подання функції п'яти аргументів за допомогою карти Карно.*

**2. Синтез логічних пристроїв з декількома виходами**

Припустимо синтезований логічний пристрій має *n* входів і *m* виходів. На кожному з виходів повинна бути сформована визначена функція вхідних змінних.

Ця задача могла б бути вирішена шляхом синтезу *m* роздільно діючих вузлів, кожний з яких реалізував би визначену вихідну функцію. Однак, навіть якщо кожний з цих вузлів буде побудований мінімальним чином, логічний пристрій у цілому може виявитися не мінімальним. Дійсно, найчастіше такий пристрій може бути ще мінімізований шляхом спільного використання загальних елементів, що реалізують у різних вузлах ті самі фрагменти логічних функцій.

Отже, ***приведення кожної з вихідних функцій окремо до мінімальної форми не є умовою отримання логічного пристрою, мінімального в цілому.*** При мінімізації багатофункціонального пристрою в цілому деякі з реалізованих їм функцій можуть виявитися поданими не в мінімальній формі.

Пояснимо сказане вище на прикладі.

Припустимо пристрій реалізує дві логічні функції – *Y1* і *Y2*, що подані картами рис. 2. Необхідно синтезувати мінімальну схему логічного пристрою в булевому базисі.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
|  | **0** | **0** | **0** | **1** |  |
|  | **1** | **1** | **0** | **1** |  |
|  | **1** | **1** | **1** | **1** |  |
|  | **0** | **0** | **0** | **1** |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
|  | **0** | **0** | **0** | **1** |  |
|  | **1** | **1** | **0** | **1** |  |
|  | **0** | **0** | **1** | **1** |  |
|  | **0** | **0** | **1** | **1** |  |
|  |  |  |  |  |  |

*Y1* *Y2*

*Рис. 2. Приклад логічних функцій, реалізованих одним пристроєм.*

З карт Карно отримаємо логічні функції *Y1* і *Y2* у МДНФ:

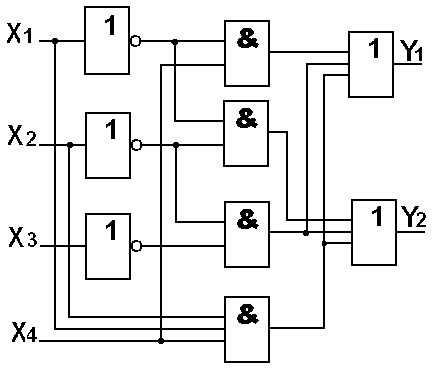


.

Очевидно, що в цих функціях є загальна кон’юнкція , що може бути реалізована в схемі загальним елементом ТА. Однак це не єдиний загальний елемент, що може бути виділений у даній схемі. Інша загальна кон’юнкція  може бути отримана при неповній мінімізації функції *Y1* (відповідний загальний контур на картах рис. 2 виділений жирною рамкою):

.

Мінімальна схема, що реалізує необхідні логічні функції, зображена на рис. 3.



*Рис. 3. Схема синтезованого логічного пристрою.*

**3. Особливості побудови реальних логічних пристроїв**

У різних серіях мікросхем, що випускаються промисловістю, звичайно передбачається наявність наборів елементів, що виконують ту саму логічну функцію, але мають різне число входів. Тому для побудови цифрових пристроїв у більшості випадків можуть бути використані елементи саме з тією кількістю входів, що потрібна в окремих елементах структурної схеми. Але іноді, наприклад, з вимог мінімізації числа корпусів мікросхем у схемі конкретного логічного пристрою, доводиться використовувати елементи, число входів у яких більше або менше необхідного. Нижче розглядаються особливості побудови реальних логічних пристроїв, що виникають в цих випадках.

**А) Використання логічних елементів, що мають надлишкове число входів.**

Нехай в наявності є логічні елементи з трьома входами, а для подачі необхідних вхідних перемінних досить двох входів. Надлишковий вхід міг би бути залишений вільним (не підключеним до будь-яких електричних кіл). Однак у такому випадку знижується завадостійкість схеми через завади, що наводяться на вільні входи, тому таке використання вільних входів елементів небажане.

Можливі різні способи підключення надлишкових входів. Наприклад, вхід, що не використовується, може бути підключений до будь-якого з використовуваних входів того ж елемента, як показано на рис. 4.

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| *Y = x1+ x2+ x2 =*  *= x1+ x2* | *Y = x1 x2 x2 = x1 x2* |  |  |

*Рис. 4. Підключення входу,* *що не використовується*, *до будь-якого з використовуваних входів логічного елемента.*

Недоліком такого способу підключення надлишкових входів є те, що об'єднання входів приводить до збільшення навантаження на вихід попереднього елемента, що, у свою чергу, збільшує затримку поширення сигналу і знижує швидкодію елемента.

Тому більш кращим є спосіб підключення, при якому на вхід, який не використовується, подається потенціал, що відповідає рівневі логічного 0 або 1. Правило вибору рівня полягає у тому, що на вхід, який не використовується, повинен подаватися сигнал пасивного рівня, тобто такий, котрий не викликає зміни стану логічного елемента. Тобто на вільні входи елементів АБО і АБО-НІ необхідно подавати логічний 0, а для елементів ТА, ТА-НІ - логічну 1, як показано на рис. 5. При цьому рівень логічного 0 може бути поданий підключенням входу, що не використовується, до корпуса схеми, а рівень логічної 1 – підключенням до плюса джерела живлення через обмежуючий опір.

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| *Y = x1+ x2+* 0 *=*  *= x1+ x2* | *Y = x1 x2* 1 *= x1 x2* |  |  |

*Рис. 5. Подача рівнів логічних 0 і 1 на входи, що не використовуються.*

Елементи ТА-НІ, АБО-НІ, у яких використовується лише один вхід, а входи, що не використовуються, підключені будь-яким з розглянутих раніше способом, виконують операцію НІ (функцію інвертора). Варіанти підключення входів, що не використовуються, для цього випадку показані на рис. 6.

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  | | | |

*Рис. 6. Використання елементів ТА-НІ, АБО-НІ як інверторів.*

**Б) Використання логічних елементів, що мають недостатню кількість входів.**

Якщо необхідно побудувати який-небудь логічний елемент із великою кількістю входів на основі елементів того ж типу, але з меншим числом входів, варто використовувати каскадне з'єднання елементів. При цьому входи елементів ТА, АБО підключаються безпосередньо до виходів попередніх елементів, а елементів ТА-НІ, АБО-НІ через інвертори, як показано на рис. 7.

|  |  |
| --- | --- |
|  |  |
|  |  |

*Рис. 7. Побудова логічних елементів із трьома входами на основі елементів із двома входами*

**ВИСНОВОК**

У процесі синтезу треба брати до уваги необхідність мінімізації апаратних витрат на реалізацію пристрою. Ця мінімізація безпосередньо пов'язана з мінімізацією логічної функції, яка визначає алгоритм роботи даного пристрою.

Подання й мінімізація функції за допомогою карт Карно істотно ускладнюються, якщо число аргументів функції перевищує чотири. Карта тут складається з двох половин, кожна з яких являє собою карту чотирьох аргументів. Одна з них відповідає *х5* = 1, друга – *х5* = 0. Ці карти можна уявити собі розташованими одна над іншою. При цьому контури можуть бути тривимірними, тобто одна область може охоплювати клітинки обох половин карти.

На практиці досить широко застосовуються цифрові пристрої, які мають багато виходів. Один з можливих підходів до синтезу таких пристроїв полягає у тому, що синтезований пристрій подається у вигляді сукупності відповідної кількості окремих цифрових вузлів із спільними входами. Але у цьому випадку синтезований пристрій може виявитись не мінімальним, навіть якщо кожен з цих вузлів буде мінімальним. У цьому випадку виконують спільну мінімізацію логічних функцій за допомогою операції склеювання, або пошук у логічних функціях для різних виходів пристрою ідентичних членів, які можуть бути реалізовані тим самим логічним елементом.

Для того щоб перейти від структурної схеми до принципової, треба за допомогою довідкової літератури здійснити вибір конкретних, які серійно виробляються промисловістю інтегральних схем, які підходять для реалізації даного пристрою. Цілком зрозуміло, що при цьому треба зводити до мінімуму їх кількість.