Одним из наиболее важных элементов вычислительной системы

является структура системной магистрали, осуществляющей сопря-

жение всех аппаратных средств. Системная магистраль обеспечи-

вает взаимодействие друг с другом различных компонентов систе-

мы и совместное использование системных ресурсов. Последнее

обстоятельство играет важную роль в существенном увеличении

производительности всей системы. Кроме того, системная магист-

раль обеспечивает передачу данных с участием памяти и уст-

ройств ввода-вывода, прямой доступ к памяти и возбуждение пре-

рываний.

Системные магистрали обычно выполняются таким образом, что

сбои проходящие в других частях системы, не влияют на их функ-

ционирование. Это увеличивает общую надежность системы. Приме-

рами магистралей общего назначения являются предложенные фир-

мой Intel архитектуры MULTIBUS I и II, обеспечивающие коммуни-

кационный канал для координации работы самых разнообразных вы-

числительных модулей.

MULTIBUS I и MULTIBUS II используют концепцию "ведущий-ве-

домый". Ведущим является любой модуль, обладающий средствами

управления магистралью. Ведущий с помощью логики доступа к ма-

гистрали захватывает магистраль, затем генерирует сигналы уп-

равления и адреса и сами адреса памяти или устройства вво-

да-вывода. Для выполнения этих действий ведущий оборудуется

либо блоком центрального процессора, либо логикой, предназна-

ченной для передачи данных по магистрали к местам назначения и

от них. Ведомый - это модуль, декодирующий состояние адресных

линий и действующий на основании сигналов, полученных от веду-

щих; ведомый не может управлять магистралью. Процедура обмена

сигналами между ведущим и ведомым позволяет модулям различного

быстродействия взаимодествовать через магистраль. Ведущий ма-

гистрали может отменить действия логики управления магист-

ралью, если ему необходимо гарантировать для себя использова-

ние циклов магистрали. Такая операция носит название "блокиро-

вания" магистрали; она временно предотвращает использование

магистрали другими ведущими.

Другой важной особенностью магистрали является возможность

подключения многих ведущих модулей с целью образования многоп-

роцессорных систем.

MULTIBUS I позволяет передать 8- и 16 разрядные данные и

оперировать с адресами длиной до 24 разрядов.

MULTIBUS II воспринимает 8-, 16- и 32-рахрядные данные, а

адреса длиной до 32 разрядов. Протоколы магистралей MULTIBUS I

и II подробно описаны в документации фирмы Intel, которую сле-

дует тщательно изучить перед использованием этих магистралей в

какой - либо системе.

MULTIBUS I

MULTIBUS I фирмы Intel представляет собой 16-разрядную мно-

гопроцессорную систему, согласующуюся со стандартом IEEE 796.

На рис. 2 приведена структурная схема сопряжения с магистралью

MULTIBUS I. На рисунке не показана локальная шина и локальные

ресурсы МП 80386.