**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**Національний університет “Львівська політехніка”**

**Синтез та дослідження тригерних схем на основі логічних елементів**

#### Львів – 2010/11

**1. Загальні положення**

Функціональні вузли і пристрої комп’ютерної техніки синтезуються на основі двох типів логічних схем: комбінаційних схем (КС - див. лабораторні роботи №№ 2 - 7 – дисципліни “Комп’ютерна схемотехніка” ч.1) і цифрових автоматів (ЦА).

Тригер, як типовий елемент цифрового автомата, - це пристрій, що може знаходитись в одному з двох стійких станів і переходить з одного стану в другий під дією зовнішніх сигналів. Зміна стану, як правило, залежить не тільки від біжучих значень вхідних сигналів, але і від попереднього стану тригера. Інформація про попередній стан, яка поступає з виходів тригера, разом із зовнішніми сигналами керує його роботою. Тому тригери є пристроями із зворотними логічними зв'язками і складаються з двох частин: елементу пам'яті (власне тригера) і схеми управління, яка виконана, як правило, за допомогою комбінаційної схеми. Схема управління перетворює інформацію, що поступає на її входи хІ,х2,...,хm у комбінацію сигналів, які діють на входи власне тригера.

Логічна функція, що встановлює залежність стану, в який переходить тригер з біжучого стану при дії на нього заданих сигналів управління, називається функцією переходів тригера. Функції переходів задаються логічними формулами або у вигляді таблиць.

В таблиці містяться значення інформаційних та синхросигналів на вході тригера, а також значення вихідних сигналів (внутрішніх станів тригера) після закінчення дії синхросигналу.

Закон функціонування тригера може бути заданий і у вигляді характеристичного рівняння логічної функції виду:

**Qn+1=f(Qn, xin),** і =1,2,…,m,(1)

де **Qn+1** - стан тригера після закінчення дії синхросигналу в момент tn+1;

**Qn** - стан тригера до приходу синхросигналу;

**xin** - значення сигналу на інформаційному вході в момент tn.

Між таблицею переходів і характеристичним рівнянням існує взаємно однозначна відповідність, тобто від таблиці переходів зажди можна перейти до характеристичного рівняння шляхом виводу СДНФ з таблиці.

По рівню вхідного сигналу тригери поділяються на тригери з прямими входами (запис інформації відбувається рівнем "1") та з інверсними входами (запис інформації відбувається рівнем "0") і вхід відмічається знаком інверсії.

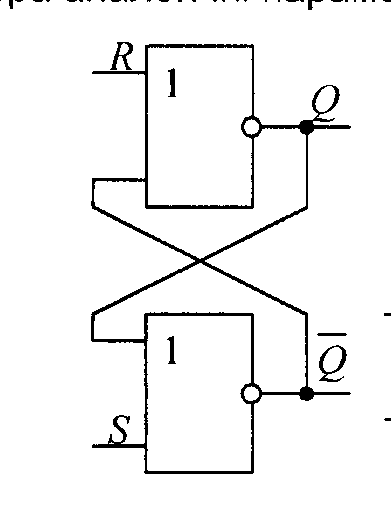
Крім того, тригери бувають одно- та двотактними. В однотактних тригерах запис відбувається по передньому фронту сигналу запису, а в двотактних - по задньому, тобто в момент закінчення дії сигналу запису.

В свою чергу, всі тригери поділяються на синхронні та асинхронні. В асинхронних тригерах запис інформації відбувається в будь-який момент часу, а в синхронних - тільки при наявності синхросигналу.

**1.1 Асинхронні тригери**

тригер сигнал пристрій інформація

Основним асинхронним елементом пам'яті служить **RS**-тригер (на базі елементів «АБО-НІ» - прямі входи), зображений на рис.1. Тригером **RS**-типу називається логічний пристрій з двома стійкими станами і двома інформаційними входами R і S. При подачі сигналу запису “1” на вхід S (вхід встановлення) в тригер запишеться "1", тобто Q = 1, ‾Q = 0 (таблиця 1). При подачі сигналу запису “1” на вхід R (вхід скидання) в тригер запишеться "0", тобто Q = 0, ‾Q = 1. Одночасно подавати записи на входи - заборонено, оскільки після закінчення їх дії тригер встановлюється в невизначений стан. Так як RS-тригер є складовою частиною всіх інших тригерів, розглянемо більш детально основні структурні схеми RS-тригерів. Асинхронний RS- тригер є найпростішим за структурою. Він має тільки два логічних елементи (мінімальну кількість).



**Рис. 1.** Схема та умовне графічне позначення асинхронного **RS**-тригера з прямими входами на елементах 2"**АБО-НІ**".

**Таблиця 1.** Стани асинхронного **RS-**тригера на основі мікросхеми **КІ55ЛА3.**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ВХІД | | | | ВИХІД | |
| **S** | **R** | **‾S** | **‾R** | **Qn+1** | **‾Qn+1** |
| 0 | 0 | 1 | 1 | Qn | ‾Qn |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | Qn (1) | ‾Qn (0) |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | Qn (0) | ‾Qn (1) |
| 1 | 1 | 0 | 0 | X | X |

Даний тригер можна побудувати на елементах ("АБО-НІ"), "І-АБО-НІ" та інших, виходячи з його характеристичного рівняння. На рис.1 і рис.4 відповідно приведено два варіанти реалізації асинхронного **RS**-тригера на логічних елементах "АБО-НІ", "І-НІ".

**RS**-тригер – це є “власне” тригер, на входи якого поступають інформаційні сигнали.

При цьому на інформаційних входах **RS** - тригера, виконано на елементах "АБО-НІ" (рис.1), діють сигнали S і R, рівень яких відповідає "0" (тригер з прямими входами). Даний тригер встановлюється в стан "1" ( Q = 1) сигналом S = 1 і в стан "0" ( Q = 0 ) - сигналом R = 1 (тригер з прямими входами). Для нього забороненою є комбінація сигналів **R** **^** **S** = 1, тобто необхідно виключити одночасну появу двох одиниць на його входах.

При цьому на інформаційних входах **RS** - тригера, виконано на елементах "І-НІ" (рис.4 ), діють сигналами **‾**Sі **‾**R, рівень яких відповідає "0" (тригер з інверсними входами). Даний тригер встановлюється в стан "1" (Q = 1) сигналом‾S= 0 і в стан "0" (Q = 0 ) - сигналом**‾**R= 0. Для нього забороненою є комбінація сигналів **‾R** **v‾S** = 0, тобто необхідно виключити одночасну появу двох нулів на його входах.

**1.2 Синхронні тригери**

Важливу роль в цифрових пристроях відіграють **RS**-тригери з синхронізуючими (тактовими) і інформаційними (програмуючими) входами (рис.5). На відміну від асинхронного, даний тригер на кожному інформаційному вході має додаткові схеми співпадіння, перші входи яких об'єднані і на них подаються синхронізуючі сигнали. Другі входи схем співпадіння є інформаційними. Зміна стану тригера можлива лише при наявності одиничного сигналу на синхронізуючому вході С. При нульовому значенні цього сигналу інформація на управляючих входах R і S не сприймається і тригер зберігає свій попередній стан. Таблиця переходів асинхронного тригера (таблиця 3.) співпадає з таблицею переходів синхронного тригера (таблиця 1.) при Сn = 1 -const.

Синхронні тригери окрім синхронізуючих входів, можуть мати і асинхронні входи R i S.

Характеристичні рівняння синхронного RS-тригера мають вигляд:

для прямих входів:

**Qn+1 = Cn Sn v Rn Qn v Cn Qn**, (2)

для інверсних входів:

**Qn+1 = Cn Sn v Rn Qn v Cn Qn**,

Підставивши Сn = 1 в рівняння (2), можна отримати характеристичні рівняння для асинхронного триггера:

для прямих входів:

**Qn+1= Sn v RnQn**; (3)

для інверсних входів:

**Qn+1= Sn v RnQn**.

Крім **RS**-тригерів застосовуються ще три види синхронних тригерів: **JK**, **T** і **D**- типів.

**1.3 Тригери D-типу**

Тригером **D**-типу називається логічний пристрій з двома стійкими станами і одним інформаційним входом D. В **D**-тригерах значення змінної в момент tn+1 співпадає із значенням вхідної змінної в момент tn, тому тригер такого типу в літературі називають тригером затримки.

Характеристичне рівняння **D**-тригеру має вид:

**Qn+1=‾CnQn v CnDn** (4)

З рівняння видно, що при наявності тактуючого сигналу (с=1) тригер переходить в стан Qn+1=Dn, а при відсутності тактуючого сигналу (с=0) тригер зберігає попередній стан.

На рис.6 представлений варіант реалізації однотактного синхронного D-тригера, виконаного на елементах “І-НІ”. Вхід D-інформаційний, вхід C-тактовий (синхронізуючий). При D=1 і С=1 на вході DD1.1 формується лог. рівень “0”, який поступає на входи DD1.2 і DD1.3, здійснює встановлення тригера в стан Q=1 і одночасно блокує включення DD1.2. При D=0 і C=1 вихід DD1.1 залишається закритим (на виході DD1.1 рівень ‘1”), відкриється DD1.2 і рівень ‘0” сформований на його виході, встановить тригер в стан Q=1 (Q=0). Таким чином, при C=1 в тригер завжди записується інформація, що відповідає інформації на вході (таблиця 5.).

**1.4 Тригери T-типу**

Тригери **T**-типу (лічильний тригер) називається логічний пристрій, який має два стійких стани і один вхід Т, і змінює свій стан на протилежний всякий раз, коли на вхід Т приходить управляючий сигнал.

Функціонування **T**-тригера описується наступним характеристичним рівнянням:

**Qn+1=‾T \* Qn v Tn \*‾Qn** (5)

На рис.7 приведено варіант реалізації однотактного синхронного **T**-тригера, виконаного на елементах "І-НІ". Присутність на входах R і S взаємно протилежних сигналів дозволяє після приходу тактового імпульсу на вхід С встановити на виходах наперед задану комбінацію рівнів: Q=Н, Q=В і навпаки (таблиця 6).

**1.5 Тригери JK-типу**

Тригером **JK**-типу називається логічний пристрій, який має два стійких стани і два інформаційних входи J та К, і змінює свій стан на протилежний при JK-1, тобто при JK=1 Qn+1=Qn, а в усіх інших випадках функціонує у відповідності з таблицею істинності синхронного RS-тригера, при цьому вхід J еквівалентний входу S, а вхід К- входу R.

Характеристичне рівняння JK-тригера можна записати наступним чином:

**Qn+1 =‾K Qn v 1n ‾Qn** (6)

На рис.2 приведено варіант реалізації однотактного синхронного **JK**-тригера, виконаного на елементах "І-НІ". Тригер **JK**-типу є найбільш універсальним. В його таблиці станів (таблиця 2.) відсутня стрічка невизначеності. На основі **JK**-тригеру шляхом нескладних зовнішніх комутаційних змін можна отримати схеми, які виконують функцій **RS**-, **D**- i **T**-тригерів.

Для надійної і чіткої роботи тригерних комірок в багато розрядних пристроях (регістрах, лічильниках) призначені двотактні тригери, які називають master-slave, що перекладається як майстер-помічник.



**Рис.2.** Схема однотактного **JK**-тригера на елементах 2"I-НІ".

**Таблиця 2.** Стани **JK-**тригера**.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ВХІД | | | ВИХІД | |
| **J** | **K** | **C** | **Q** | **‾Q** |
| 0 | 0 | ↑ | Без змін | |
| 0 | 1 | ↑ | 0 | 1 |
| 1 | 0 | ↑ | 1 | 0 |
| 1 | 1 | ↑ | Перемикання | |

**2. Порядок виконання роботи**

Ознайомилися з теоретичною частиною роботи, лабораторним стендом і програмою EWB.

Отримали від викладача елементи, необхідні для виконання роботи - мікросхеми К155ЛА3, а також з’єднувальні провідники. Якщо для дослідження використовуємо EWB, то п.п. 2.6 – 2.11 виконуємо на зарубіжних аналогах вказаних мікросхем (див. Додаток).

Ознайомилися зі функціональною схемою та схемами комутації мікросхеми К155ЛАЗ на стенді для виконання дослідів лабораторної роботи (рис. 3 - 7).

Паспортні дані К155ЛА3: Uж = +5 В (±5%), Кзор = Коб = 10, U1вих ≥ 4 В, U0вих ≤ 0,1 В, Uпор = 1,5 В, І0вх = 0,8 мА.



**а) б)**

**Рис. 3** Мікросхеми К155ЛА3 (4ел.2”І-НІ”) **а**) - нумерація виводів К155ЛА3 і К155ТМ2; **б**) - функціональна схема К155ЛА3.

При роботі в статичному режимі для контролю станів тригера до виходів підключили індикаторні світлодіоди (свічення світлодіода означає стан "1"). Для запуску тригера по входах R i S використовували тумблерні регістри, по входу С - формувач одиночних імпульсів додатної полярності. Для дослідження **D**-тригерів і **JK**-тригерів на інформаційні входи подавати сигнали з тумблерних регістрів, а на входи С – з формувача одиночних сигналів додатної полярності.

Зібрали схему асинхронного **RS**-тригера на елементах 2"I-НІ". Дослідили його в статичному режимі і склали таблицю станів.

**б)**

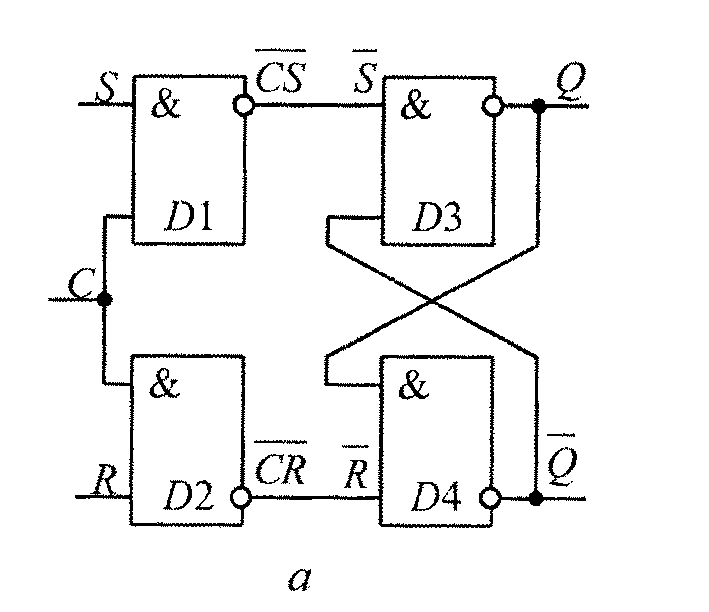


**Рис. 4.** Схема (**а**) і умовне графічне позначення (**б**) асинхронного **RS**-тригера з інверсними входами.

**Таблиця 3.** Стани асинхронного **RS-**тригера на основі мікросхеми **КІ55ЛА3** (4ел.-2"I-НІ")

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ВХІД | | | | ВИХІД | |
| **S** | **R** | **‾S** | **‾R** | **Qn+1** | **‾Qn+1** |
| 0 | 0 | 1 | 1 | Qn | ‾Qn |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | Qn (1) | ‾Qn (0) |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | Qn (0) | ‾Qn (1) |
| 1 | 1 | 0 | 0 | X | X |

Зібрали синхронний **RS**-тригер на елементах 2"І-НІ". Дослідили його в статичному режимі і склали таблицю станів.



**Рис. 5.** Схема (**а**) і умовне графічне позначення (**б**) синхронного **RS**-тригера з прямими R і S входами.

**Таблиця 4. Стани синхронного RS-тригера на основі мікросхеми КІ55ЛА3** (4ел.-2"I-НІ")

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ВХІД | | | | | ВИХІД | |
| **С** | **S** | **R** | **‾S** | **‾R** | **Qn+1** | **‾Qn+1** |
| 0 | 0 | 0 | 1 | 1 | Qn | ‾Qn |
| 0 | 1 | 0 | 0 | 1 | Qn | ‾Qn |
| 0 | 0 | 1 | 1 | 0 | Qn | ‾Qn |
| 0 | 1 | 1 | 0 | 0 | Qn | ‾Qn |
| 1 | 0 | 0 | 1 | 1 | Qn | ‾Qn |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | Qn (1) | ‾Qn (0) |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | Qn (0) | ‾Qn (1) |
| 1 | 1 | 1 | 0 | 0 | X | X |

Зібрали синхронний D-тригер на елементах 2"І-НІ". Дослідили його в статичному режимі і склали таблицю переходів.



**Рис.6.** Схема (**а**) і умовне графічне позначення (**б**) D-тригера.

**Таблиця 5. Стани D-тригера на основі мікросхеми КІ55ЛА3** (4ел.-2"I-НІ")

|  |  |  |  |
| --- | --- | --- | --- |
| ВХІД | | ВИХІД | |
| **С** | **D** | **Qn+1** | **‾Qn+1** |
| 0 | 0 | Qn | ‾Qn |
| 0 | 1 | Qn | ‾Qn |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Зібрали Т-тригер на елементах 2"І-НІ". Дослідили його в статичному режимі і склали таблицю переходів. На вхід сигнал подавали через RC-ланку, що забезпечило короткий за тривалістю вхідний імпульс.



**Рис.7.** Схема однотактного **Т**-тригера.

**Таблиця 6. Стани Т-тригера на основі мікросхеми КІ55ЛА3** (4 - 2"I-НІ")

|  |  |  |
| --- | --- | --- |
| ВХІД | ВИХІД | |
| **С** | **Qn+1** | **‾Qn+1** |
| 0 | Qn (1) | ‾ Qn (0) |
| 1 | 0 | 1 |
| 0 | 0 | 1 |
| 1 | 1 | 0 |
| 0 | 1 | 0 |

**Висновок**

В даній лабораторній роботі ми ознайомились з будовою тригерів, їх синтезом на основі логічних ІMС та дослідили роботу тригерів, побудованих на основі логічних ІMС.

**Література**

Бабич М.П. і ін. Комп’ютерна схемотехніка. “МК-Прес”, Київ, 2004

**Додаток**

Схеми дослідження тригерів засобом моделюючої програми EWB

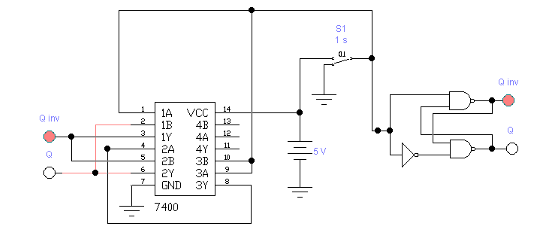


Рис.1. Дослідження асинхронного RS і D тригерів – статика (ІМС 7400 – аналог К155ЛА3).

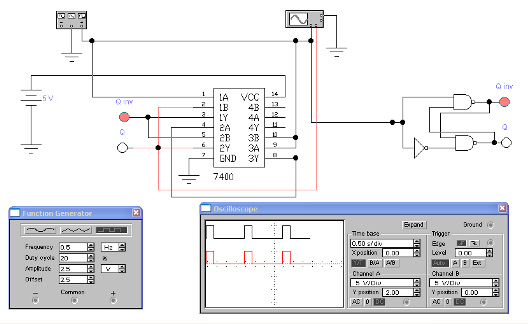


Рис.2. Дослідження асинхронного RS і D тригерів – динаміка (ІМС 7400 – аналог К155ЛА3).