**Организация и применение микропроцессорных систем обработки данных и управления.**

Работу подготовил Сергей

Магнитогорский Государственный Профессионально-педагогический колледж

Магнитогорск, 2005 г.

**1. Логическая структура микропроцессорной системы**

При проектировании систем контроля, управления или вычислений на основе микропроцессора необходимо выяснить и описать функции, подлежащие выполнению в системе, а затем согласовать их с возможностями тех микропроцессоров, которые могут быть использованы в проектируемой системе.

Реальная электронная система на основе микропроцессора содержит значительное число функциональных устройств, одним из которых является микропроцессор. Все устройства системы имеют стандартный интерфейс и подключаются к единой информационной магистрали, как это показано на рис.1.

Микропроцессор в зависимости от требований, предъявляемых к системе, может быть устройством однокристальным или одноплатным, созданным на основе многокристального комплекта микропроцессорных БИС. В высокопроизводительных системах микропроцессор строится на основе биполярных микропроцессорных секций БИС.

Микропроцессор выполняет в системе функции центрального устройства управления и устройства арифметическо-логического преобразования данных. В качестве устройства управления он генерирует последовательности синхронизирующих и логических сигналов, которые определяют последовательности срабатывания всех логических устройств системы. Микропроцессор задает и последовательно осуществляет микрооперации извлечения команд программы из памяти системы, их расшифровку и исполнение. Тип операций микропроцессора определяется кодом операции в команде. В соответствии с этими кодами микропроцессор выполняет арифметические, логические или иные операции над числами, представленными в двоичном или кодированном двоично-десятичном коде.

Числа, подвергающиеся операционным преобразованиям в арифметическо-логическом блоке микропроцессора, называют операндами. Операнд может быть одним из исходных чисел, результатом, константой или некоторым параметром. Операция в микропроцессоре производится над одним или двумя операндами.

Память микропроцессорной системы физически реализуется на основе различных ЗУ. Технико-экономическая целесообразность ведет к построению иерархической памяти на основе полупроводниковых постоянных и оперативных запоминающих устройств и магнитных внешних запоминающих устройств.

БСД

МА

МУ

МД

ИК

УВыв

ИК

УВв

Д

ИМ

ОУ

БСИМ

ИК

ИК

МП

ПЗУ

УВв

ИК

ИК

УВыв

ОЗУ

Рис.1 Логическая структура микропроцессорной системы

Полупроводниковые постоянные запоминающие устройства ПЗУ позволяют в процессе работы системы осуществлять только чтение заранее записанных данных. Имеют высокую скорость работы и энергонезависимы, т.е. сохраняют информацию при выключении питания.

Полупроводниковые оперативные запоминающие устройства ОЗУ работают в режимах оперативной (совпадающей с темпом работы микропроцессора) записи и чтения данных. Недостаток ОЗУ – их энергозависимость, т.е. потеря записанной информации при выключении питания.

Память системы адресуема, т.е. каждое слово записывается в ячейке памяти со своим уникальным адресом. Слово – совокупность двоичных единиц (бит) – двоичных разрядов, интерпретируемых как отдельное число или несколько смысловых групп двоичных разрядов. Для получения числа из памяти или записи числа в память необходимо точно задать его адрес в памяти и осуществить операцию считывания данных из памяти.

Устройства ввода данных (УВв) – любые средства, предназначенные для передачи данных извне в регистры микропроцессора или в память (клавиатура пульта управления, ввод с перфолент и перфокарт, внешние запоминающие устройства на магнитных лентах, кассетах, дисках, дисплеи и т.д.).

Устройства вывода данных (УВвыв) – любые средства, способные воспринимать данные, передаваемые из регистров микропроцессора или ячеек памяти (дисплеи, печатающие устройства, внешние запоминающие устройства, пульт управления и т.д.).

Для подключения разнообразных устройств ввода или вывода данных (а также комбинированных устройств ввода-вывода) необходимо привести их все связи и сигналы к стандартному виду, т.е. провести согласование интерфейсов. Для этого используется специальный аппаратурный блок – информационный контроллер ИК, имеющий стандартный интерфейс со стороны подключения к информационной магистрали и нестандартный интерфейс со стороны устройств ввода-вывода, т.е. являющийся преобразователем интерфейсных сопряжений.

Микропроцессор МП, ОЗУ и ПЗУ вместе с УВвыв, предназначенными для операций с человеком или другой электронной системой, называется микро-ЭВМ. Микро-ЭВМ – это ЭВМ, центральная часть которой в составе процессора, ОЗУ, ПЗУ, информационного контроллера построена на основе БИС. Применение БИС в качестве основных элементных компонентов обеспечивают микро-ЭВМ такие преимущества перед другими типами ЭВМ, как компактность, надежность, малая материалоемкость, низкие мощность потребления и стоимость. Но магистральная структура микро-ЭВМ и скоростные ограничения микропроцессора определяют умеренные характеристики производительности микро-ЭВМ. Это относится к микро-ЭВМ на основе микропроцессоров на одном или нескольких кристаллах. В микро-ЭВМ на основе биполярных микропроцессорных секций можно получить высокое быстродействие за счет реализации конвейерной обработки данных и скоростного высокоэффективного управления вычислительным процессом даже при магистральной структуре.

Микро-ЭВМ становится центральной частью электронной системы контроля, управления и вычислений, когда она вводится в контур управления некоторого объекта (процесса). Для сопряжения с микро-ЭВМ объект (процесс) должен быть оснащен датчиками состояния и исполнительными механизмами. Датчики выступают как источники вводимой для микро-ЭВМ информации, а исполнительные механизмы – как приемники выводимой информации. Для согласования интерфейсов подключение датчиков и исполнительных механизмов в системе осуществляется через блоки сопряжения датчиков и исполнительных механизмов.

В зависимости от особенностей объекта (процесса) и возможностей микропроцессора сложность каждого устройства или блока устанавливается на этапе проектирования. Части системы могут развиваться или вырождаться, но должен быть обеспечен общий принцип построения и работы всех электронных систем управления. Вследствие прямой зависимости между функциями программных и аппаратурных средств можно при построении электронной системы развивать либо аппаратуру, либо усложнять программное обеспечение. Именно эти обстоятельства и определяют массовые возможности применения микропроцессорных систем управления практически во всех сферах.

**Логическая структура универсального программируемого контроллера.**

Контроллер (блок местного управления) необходим для управления аппаратами ввода-вывода информации (АВВ). Он обеспечивает электромеханическое и логическое сопряжения информационного канала ЭВМ и частей АВВ, являющихся источниками или приемниками управляющей информации и данных, задает порядок следования, количество, электрические параметры, положение во времени и направление прохождения информации между информационными каналами и АВВ. Основная задача контроллера заключается в обеспечении условий отпирания и запирания одиночных вентилей или их групп, а также в запуске различного рода электрических двигателей, электромеханических переключателей, возбуждении соленоидов, приеме усиленных и сформированных разнообразных сигналов датчиков информации АВВ.

При любых вариантах функционального разбиения системы на части аппаратурные средства блока сопряжения с АВВ либо интегрируется со средствами БИС микропроцессора, либо выполняются отдельно в виде интерфейсной (интерфейсных) БИС.

Контроллер можно выполнить жестким соединением между группами вентилей, триггеров и т.д. как цифровой автомат на основе аппаратурной логики. Минимизация количества электронных элементов для корпусов интегральных схем, как правило, приводит к неупорядоченной электронной структуре, специализированной на конкретное использование только в данном устройстве. Изменение во временной диаграмме или введение новых сигналов в аппаратурном контроллере влекут за собой необходимость перепроектирования и переконструирования всего контроллера или его части.

Универсальные программируемые контроллеры реализуются в виде однокристальных БИС или на основе секций микропроцессорных комплектов БИС. В таких контроллерах разнообразные временные диаграммы сигналов и их последовательности порождаются не распределением регулярных сигналов тактовых генераторов путем проводных соединений, а преобразованием последовательностей команд (микрокоманд). Из-за гибкости программных и микропрограммных средств адаптации программируемого контроллера к конкретной области применения осуществляется за счет перепрограммирования, не затрагивающего аппаратурную реализацию контроллера или вызывающего только перезапись содержимого управляющих запоминающих устройств.

Технико-экономические параметры интегральных схем с высокой степенью интеграции элементов позволяют осуществлять управление АВВ информации ЭВМ посредством электронных структур, подобных структурам управляющих ЭВМ. При этом обеспечиваются: 1) функциональная гибкость за счет использования развитых систем команд и построения разнообразных сложных последовательностей сигналов на их основе с возможностью учета реакции системы на выдаваемые сигналы; 2) использование распределенных методов управления в иерархических управляющих системах, когда оптимизация процесса преобразования информации ведется на верхнем уровне управления, а непосредственное локальное управление осуществляется встроенным контроллером, воспринимающим и интерпретирующим как состояние АВВ, так и управляющие сигналы средств более высокого уровня управления; 3) простота специализации и модификации устройства управления АВВ.

Алгоритм управления определенным типом АВВ задается однозначно и в виде программы может быть записан в ПЗУ. Таким образом, программируемый контроллер в процессе работы многократно может выполнять одну и ту же программу, получая с более высокого уровня управления исходные данные и задания и функционируя автономно, независимо и параллельно с работой средств более высокого уровня.

МУ

МД

МА

МП

ОЗУ

ПЗУ

УПИ

УПИ

УС

ПУ

АВВ

Рис.2 Логическая структура универсального программного контроллера

Логическая структура универсального программируемого контроллера приведена на рис.2. Контроллер имеет магистральную структуру. Управление АВВ обеспечивают микропроцессор МП, микроконтроллер и микро-ЭВМ, выполненная на одном кристалле. Если аппаратурных возможностей микропроцессора МП недостаточно, то к магистралям подключаются расширяющие ОЗУ и ПЗУ; поле памяти этих устройств может управлять дополнительным контроллером. Однако в отличие от микро-ЭВМ в контроллере системные функции расширяющих ОЗУ и ПЗУ развиты очень слабо и поэтому для управления ими достаточно простейших аппаратурных средств, обычно закладываемых в кристаллы БИС ОЗУ и ПЗУ. Узлы программируемого интерфейса УПИ и узлы сопряжения УС с пультом управления ПУ и АВВ имеют модульную структуру, что позволяет наращивать их при усложнении АВВ и увеличении их числа. Контроллер работает по жестко заданной, заранее отработанной и введенной в него программе. Во время работы контроллера нет необходимости в его взаимодействии с человеком.

Узлы программируемого интерфейса УПИ дают возможность учесть специфику АВВ и осуществить переход от внутрисистемного интерфейса информационной магистрали к интерфейсу разнообразных АВВ. Специализация шин управления АВВ обеспечивается подачей сигналов при выполнении определенной последовательности команд МП; их число зависит от числа узлов программируемого интерфейса УПИ.

СПУ

АВВ

КСПУ

КУВВ

ЦП

УВВ

УВВ

АВВ

КУВВ

КПЗУ

КОЗУ

ПЗУ

ОЗУ

Гр КУВВ

МА, МД, МУ

АВВ

АВВ

Гр КУВВ

ВЗУ

ВЗУ

Гр КВЗУ

Рис.3 Обобщенная логическая структура микро-ЭВМ с микропроцессорными контроллерами

**Логическая структура развитой микропроцессорной системы**

На рис.3 приведена обобщенная логическая структура микро-ЭВМ, в которой в качестве всех управляющих блоков устройств ЭВМ используются программируемые контроллеры, например контроллер системного пульта управления КСПУ. Он применяется для работы с системным пультом управления СПУ. Все аппараты ввода-вывода управляются контроллерами устройств ввода-вывода КУВВ или групповыми контроллерами устройств ввода-вывода ГрКУВВ. Оперативное ОЗУ и постоянные запоминающие устройства ПЗУ управляются с помощью соответствующих контроллеров КОЗУ, КПЗУ. При такой организации ЭВМ центральный процессор ЦП обеспечивает программируемые контроллеры только управляющей информацией высокого уровня, детализируемой контроллером. Поэтому количество управляющей информации на информационной магистрали системы резко уменьшается, что позволяет увеличить скорость передачи данных. По существу, в этой схеме приведена многопроцессорная вычислительная система, в которой в пределе контроллер имеет те же возможности, что и центральный процессор. Низкая стоимость и высокая надежность БИС позволяют для достижения желаемых параметров ввести распределенную обработку во всех подсистемах вычислительной системы, что определяет новые способы организации вычислительных процессов в системах с децентрализованными управлением и обработкой информации.

**2. Интерфейс микропроцессоров**

Для включения микропроцессора в любую микропроцессорную систему необходимо установить единые принципы и средства его сопряжения с остальными устройствами системы, т.е. унифицированный интерфейс.

Унифицированный интерфейс – совокупность правил, устанавливающих единые принципы взаимодействия устройств микропроцессорной системы. В состав интерфейса входят аппаратурные средства соединения устройств (разъем и связи), номенклатура и характер связей, программные средства, описывающие характер сигналов интерфейса и их временную диаграмму, а также описание электрофизических параметров сигналов.

9

10

8

7

6

4

5

3

2

1

УВВ

МП

ОЗУ

Рис.4 Схема интерфейсных связей микропроцессора

На рис.4 представлена общая схема взаимодействия микропроцессора МП с устройствами ввода – вывода УВВ и ОЗУ в микропроцессорной системе. Связь МП с УВВ требует пяти групп связи, обеспечиваемых через выводы корпуса. По группе шин 1 передается код выбора (адреса) устройства, по шине 2 – сигнал управления считыванием – записью, по шине 3 – сигнал запроса на прерывания, шины 4 и 5 используются для передачи данных от процессора к УВВ и от УВВ к МП. Связь МП с ОЗУ также содержит пять групп связей, которые необходимо обеспечить через выводы корпуса МП. По группе шин 6 передается адрес в ОЗУ, шина 7 нужна для управления чтением/записью, по сигналам на шине 8 принимаются команды в процессор, а шины 9 и 10 обеспечивают передачу данных из ОЗУ в МП и обратно.

**Информационные магистрали**

При проектировании БИС и устройств на их основе необходимо принимать во внимание сложность выполнения разветвленных связей между различными узлами (блоками) и устройствами. Поэтому практически реализованы и получили широкое распространение магистральные структуры связей, к которым подключены входы и выходы электронных узлов (блоков). Информационная магистраль (МИ) представляет собой совокупность проводников (шин) или кабелей, физические свойства которых обеспечивают передачу высокочастотных информационных сигналов. Электронные узлы (блоки), подключаемые к информационной магистрали, должны обладать определенными свойствами, иначе возможно образование короткозамкнутых связей и низкоомных нагрузок.

С

СУ Рг Д3

СУ Рг Д2

СУ Рг Д1

РЗn А3 А0

РВ

РУ0

С Q3 Q0

РгД1

РЗn А3 А0

РВ

РУ0

С Q3 Q0

РгД2

РЗn А3 А0

РВ

РУ0

С Q3 Q0

РгД3

Д3 Д0

Рис.5 Схема магистральных связей трех регистров данных

Рассмотрим пример передачи данных в системе трех 4-разрядных синхронизируемых регистров с информационными магистральными связями, позволяющий определить общие закономерности построения подобных структур (рис.5).

Входные сигналы записи данных А0-А3 передаются в регистр и вызывают срабатывание триггеров только на переднем фронте сигнала синхронизации при наличии управляющего сигнала “Разрешение записи” РЗn. Если сигнал РЗn=0, то сигналы входных данных не проходят на входы триггеров и поэтому не могут изменить состояние регистра. Входные сопротивления для информационных входов Ai при этом становятся достаточно большими, их параллельное подключение к шинам магистрали данных не ведет к каким-либо проблемам.

Выходные информационные сигналы Q0-Q3 в рассматриваемых схемах формируются с помощью управляемых трехуровневых каскадов, вырабатывающих выходные сигналы логических состояний “0”, “1” и “Выключено”. Управление выходными каскадами триггеров регистра осуществляется сигналом “Разрешение выдачи” РВ. При запрете выдачи выходных состояний (РВ=0) выходные каскады переводятся в режим с высоким выходным сопротивлением. Поэтому параллельное подключение выходных выводов регистров к шинам информационной магистрали также не порождает проблем.

Сброс триггеров регистров происходит импульсом синхронизации при подаче сигнала “Разрешение установки 0” (РУ “0”).

В рассматриваемой схеме разрешена только лишь последовательная передача информационных сигналов. Поэтому, несмотря на то, что все входы регистров подключены к шинам магистрали и проходящие по магистрали сигналы поступают на входные каскады всех регистров, запись осуществляется только в один регистр управляющим сигналом РЗn=1 (принципиальных ограничений на одновременную запись одной и той же информации в несколько регистров нет). Однозначность информационных сигналов на магистрали при выдаче информации из регистров обеспечивается подачей только одного управляющего сигнала РВ=1.

Управляющие сигналы РВ=0 других регистров обеспечивают эффективную электрическую изоляцию их выходных каскадов от шин информационных магистралей.

Операция передачи данных “регистр-регистр” осуществляется следующим образом. Рассмотрим таблицу истинности (табл.1) регистров с трехуровневыми выходными состояниями.

Таблица 1

|  |  |  |  |
| --- | --- | --- | --- |
| РЗn | РВ | РУ “0” | Выходное состояние |
| ø  1  0  ø | 1  1  1  0 | 1  0  0  ø | Q0=Q1=Q2=0  Qi=Ai (на заднем фронте С)  Режим хранения (сигналы С не действуют)  “Отключено” |

Примечание: Знаком ø отмечены сигналы, которые могут принимать значения либо “0”, либо “1” и не влияют на выполнение тех функций регистром, которые определены другими управляющими сигналами.

Используя таблицу истинности, определим условия передачи состояния регистра данных РгД1 в регистр данных РгД3 (в условной записи [РгД1 → РгД3]):



После установки уровней управляющих сигналов передача информационного состояния происходит по импульсу синхронизации.

При увеличении числа регистров (или иных электронных блоков), подключенных к магистрали, правильность работы схемы не нарушается, если соблюдены правила проектирования регистров и схем управления ими.

Единая информационная магистраль микропроцессорной системы связывает между собой все устройства и функционально состоит из информационных магистралей, адресов, данных и сигналов управления.

**Магистраль адресов**

В простой микропроцессорной системе только микропроцессор может вырабатывать адреса передаваемой в системе информации. Поэтому магистраль адресов (МА) – однонаправленная: микропроцессор генерирует сигналы кода адреса, а остальные устройства, подключенные к МА, только могут воспринимать их, выполняя непрерывно микрооперацию опознания кода адреса.

Количество шин магистрали адресов совпадает с разрядностью передаваемого кода адреса. Если используется 16-разрядный код, то в системе разрешается выработка =65536 адресов. Они могут все относиться к адресам ячеек памяти или к адресам ячеек памяти и адресам регистров данных устройств ввода-вывода.

**Магистраль данных**

Микропроцессор, а также ОЗУ, ВЗУ, дисплеи могут воспринимать или передавать данные. Другие устройства могут либо только принимать данные, например устройство печати, либо только выдавать их, например ПЗУ.

Чтобы обеспечить все возможности системы, магистраль данных является двунаправленной. Ее разрядность определяется разрядностью микропроцессора и равна 2, 4, 8, 16 и 32 бит. Если в микропроцессоре обрабатываются данные по программам двойной разрядности, то двойное слово пересылается за два цикла, т.е. имеет место временное мультиплексирование (оно также применялось в нескольких первых микропроцессорах, когда использовалась общая магистраль адресов и данных).

**Магистраль управления**

Микропроцессор и некоторые шины устройств ввода-вывода генерируют управляющие сигналы, предназначенные для синхронизации и определения операций устройств. Эти сигналы передаются по совокупности однонаправленных шин, в целом образующих магистраль сигналов управления (МУ). Все сигналы управления в электронной системе согласованы с системными сигналами синхронизации. Эти сигналы задают начало и последовательность срабатывания, как различных устройств системы, так и различных блоков и узлов внутри всех кристаллов БИС. Для задания главной последовательности синхронизирующих импульсов, как правило, применяется внешний кварц или генератор на его основе. Выдаваемые микропроцессором сигналы синхронизации бывают однофазными, реже двухфазными.

Каждый микропроцессор имеет уникальную систему сигналов управления. Поэтому конкретное описание всех шин МУ, так же как и цоколевки выводов корпуса, дается в технической документации на конкретный микропроцессор. Тем не менее, практически все микропроцессоры имеют общие сигналы. Среди них – сигнал “Сброс” – входной сигнал, вырабатываемый на пульте управления системы. Он приводит к сбросу всех внутренних регистров микропроцессора и загрузке счетчика команд – узла, определяющего последовательность выполнения команд программы, начальным значением адреса, где записана первая команда программы.

Важнейшая управляющая функция микропроцессора – определение потоков данных в системе. Микропроцессор вызывает слова команд из памяти в процессе их чтения, обращается в память за операндами или к внешним устройствам за новыми данными, может записать результат операции в память или, сформировав массив данных, определить необходимость их вывода на внешние устройства. Когда микропроцессор посылает данные какому-то устройству, происходит операция записи данных, а когда получает данные от какого-то устройства, то считывает данные из его информационного регистра и выполняет операцию чтения данных. Чтобы задать направление передачи данных по МД, микропроцессор генерирует сигналы “Чтение/запись”, передаваемые по одной из шин МУ.

Специфика устройств ввода-вывода данных такова, что информация может быть потеряна, если МП своевременно не осуществит операцию с устройством. Поэтому эти устройства генерируют сигналы “Запрос прерывания процессора”, обращающие внимание микропроцессора на состояние готовности (или неисправности). Микропроцессор имеет вход для приема, по крайней мере, одного сигнала “Запрос прерывания процессора”. Если же запрос принимается, то МП информирует систему, вырабатывая ответный сигнал “Запрос прерывания удовлетворен”.

Разная скорость работы устройства ввода-вывода и микропроцессора порождает необходимость приостановки процессора на время подготовки данных во внешнем устройстве. Поэтому режим работы ожидание микропроцессора определяется внешним сигналом “Данные подготовлены (данные не подготовлены)”. Всего в МУ передается до десятка (и более) разнообразных сигналов управления.

**Преобразователи интерфейсов**

Когда необходимо перейти от одного вида интерфейса к другому, применяют специальные аппаратурные средства в виде преобразователя интерфейсов и интерфейсного контроллера. При построении микропроцессорных систем наиболее часто осуществляются преобразования, связанные с разными форматами электронных сигналов.

Все МП обрабатывают цифровые данные, представленные в параллельной форме. В этом случае разряды слов данных передаются одновременно по информационной магистрали и обрабатываются параллельно во всех разрядах АЛБ микропроцессора, поэтому внутри электронной системы все передачи данных также производятся в параллельном формате. Но в периферийной части электронных систем могут быть разнообразные форматы информационных сигналов, среди которых наиболее важными являются аналоговые и цифровые последовательные

Аналого-цифровые и цифро-аналоговые преобразователи в виде БИС решают задачи преобразования аналоговых сигналов в параллельные коды и наоборот. Развитие управляющих средств этих преобразователей позволяет не только существенно упростить их интерфейс с МП, но практически обеспечить прямое соединение без дополнительных аппаратурных средств. Данные в последовательном цифровом формате передаются по одной информационной шине, что существенно снижает количество связей в периферийной части систем, в случаях, когда не требуется осуществлять сопряжение с периферийными быстродействующими устройствами. Эти данные могут прямо вводиться (или выводиться) в МП, для чего необходимо разработать программные модули приема и преобразования форматов данных с соответствующей синхронизацией МП и внешних устройств. Временные затраты и низкая эффективность такого решения могут быть преодолены переходом к аппаратурной реализации системы ввода-вывода данных на основе использования специальных БИС контроллеров – преобразователей форматов данных, которые получили название универсальных асинхронных приемников-передатчиков.

Асинхронная передача данных означает, что приемник (например, МП) и передатчик (например, телетайп) осуществляют связь в условиях, когда каждый имеет свою собственную систему синхронизации, поэтому передатчик посылает свои данные в любой момент, не сообразуясь с временным состоянием приемника. В приемнике должны быть предусмотрены средства анализа и вхождения во “временное зацепление”, т.е. средства синхронизации своей работы с работой передатчика.

**Формат последовательных информационных сигналов**

Последовательные информационные сигналы формируются в виде “1” или “0” уровней тока (напряжения), значения которых сохраняются постоянными в течение периода следования информационных сигналов Тп. Уровень сигнала может изменять свою величину только в начале периода следования информационных сигналов.

До начала подачи цифровой информации в линию связи постоянно поступает сигнал “1” уровня. Если необходимо начать передачу данных, то им всегда предшествует так называемый стартовый бит “0”. Затем следует посылка битов слова данных, например 7-разрядного.

А)

Разряды байта данных

D0

D1

D2

D3

D4

D5

D6

НЧ

Тп

Стоп

1

1

1

1

0

0

0

0

0

1

0

Старт

Б)

Стоп

Стоп

Чет

Второй байт данных

Старт

Стоп

Стоп

Нечет

Первый байт данных

Старт

0 0 0 0 1 0 1 0 1 1 1 0 1 0 1 0 1 0 0 0

Рис.6 Формат сигналов последовательных данных (А), последовательный байт данных с контролем по нечетности (Б)

Слово данных может сопровождаться контрольным битом, соответствующим четности/нечетности “1” в передаваемом коде. Завершается посылка двумя стоповыми битами, всегда имеющими значение “1”. Внутри слова данных младший значащий разряд передается первым, старший – последним. После выдачи сигналов СТОП передатчик может либо сразу же передавать следующее слово данных, либо сохраняет уровень “1”, соответствующий исправности линии связи и передатчика при отсутствии передаваемых данных. Приемник следит за уровнями сигнала в линии связи, фиксируя переход от “1” к “0” как начало передачи, воспринимает данные следующих семи или восьми интервалов, анализирует наличие СТОП-битов и принимает решение о прекращении или продолжении приема. Следовательно, введение СТАРТ и СТОП в кодовую посылку позволяет осуществить синхронизацию приемника и передатчика и правильно интерпретировать сигналы данных.

На рис.6,А приведен формат последовательных данных, а на рис.6,Б – пример последовательной передачи двух слов данных с контролем на нечетность передаваемых “1” данных.

**Схемы и принцип работы контроллера последовательно-параллельного интерфейса**

Чтобы облегчить построение схем сопряжения внешних устройств с последовательным форматом выходных сигналов при создании микропроцессорных систем, в состав комплектов микропроцессорных БИС включается БИС контроллера последовательно-параллельного интерфейса. Такие контроллеры интерфейса имеют различную сложность, свои специфические особенности, но функции, выполняемые ими, практически одинаковы и соответствуют смысловому названию БИС универсальных асинхронных приемников-передатчиков (УАПП) или асинхронных интерфейсных адаптеров связи (АСИА).

МД

Стоп

Старт

Передающий РгД

ВУ (приемник)

УУПд

Передатчик

1

1

4

0

Блок центрального управления

БРгД

РгУ

РгС

УУ

Стоп

Старт

Приемный РгД

ВУ (передатчик)

Приемник

1

1

4

0

УУПр

УУО

ДША

МА

БСУ

МУ

ЗПр

4т/3п

С

Рис.7 Функциональная структура асинхронного приемопередатчика

Рассмотрим особенности функционального построения и режим работы типового БИС УАПП (рис.7). В структуре БИС УАПП содержатся следующие основные электронные блоки: приемник последовательных сигналов, выполняющий преобразование данных последовательного формата в параллельный код; передатчик сигналов, осуществляющий преобразование параллельного кода в последовательный формат; блок центрального управления, блок буферного хранения данных и блок связи с информационной магистралью микропроцессора, блок системного управления.

Как и любой другой компонент электронной информационно-управляющей системы, БИС УАПП имеет адресное программное управление. УАПП по командам МП может выполнять четыре операции, для задания которых достаточно выдавать коды двух адресов и управляющий сигнал на магистрали управления “Чтение/запись” (Чт/Зп).

Рассмотрим выполнение команд УАПП.

1. Записать слово в передающий регистр данных. По этой команде слово данных из аккумулятора МП передается в передающий регистр данных (РгД) передатчика через буферный регистр данных (БРгД). Затем это слово данных передается в сдвигающий регистр данных передатчика и выдается в последовательном формате в интерфейс соответствующего внешнего устройства.

2. Считать слово из приемного регистра данных. При выполнении этой команды в аккумулятор МП передается слово данных, образованное в результате параллельной передачи из сдвигающего регистра приемника после окончания приема одного слова данных в последовательном формате.

3. Записать код управляющего слова в регистр сигналов управления. Блок центрального управления преобразует сигналы триггеров регистра управления (РгУ) (обычно восьмиразрядного) в сигналы управления различными блоками. Микропроцессор передает в БЦУ информацию о внешнем источнике синхронизации, формате последовательного кода и направлении передачи. В коде управления форматом задается число разрядов данных (обычно до восьми), число СТОП битов и признаки четности. Этой информации достаточно для программирования работы УАПП по передаче данных.

4. Считать информацию состояния. При осуществлении операции ввода данных МП может осуществлять считывание, ввод и анализ статусной информации УАПП, которая хранится в регистре состояния (РгС) (обычно восьмиразрядный).

Рассмотрим режим взаимодействия МП и УАПП при вводе последовательных данных от внешнего устройства (ВУ). В программе работы МП должен быть предусмотрен процесс инициализации УАПП, который осуществляется засылкой управляющей информации в РгУ по команде 3. В составе этой управляющей информации имеются сигналы “Разрешение прерывания” (РПр) и “Готовность слова данных” (ГСД). Получив управляющую информацию, УАПП начинает анализ слова данных на входе и их ввод при наличии сигнала СТАРТ в коде слова данных. Когда в приемный РгД передается полное слово данных, то в триггере готовности слова данных устанавливается уровень “1”. Установка этого триггера является основанием для генерации сигнала запроса прерывания МП, если ранее от МП в составе управляющего слова поступил сигнал уровня “1”. На разрешение передачи слова микропроцессор вырабатывает сигнал “Запрос прерывания удовлетворен” и осуществляет переход на выполнение программы прерывания по вводу данных.

В программе прерывания, прежде всего, осуществляются сохранение информационного содержания внутренних регистров МП и блокировка других сигналов прерывания на входе блока прерывания МП. Затем выполняется команда 4 и следует анализ тех битов информации состояния, которые связаны с контролем правильности выполнения операции приема данных, т.е. проверяется нарушение четности, переполнение или определяются ошибки форматирования. Если произошла ошибка, то совершается переход к подпрограмме анализа причин ошибок. Если ошибок нет, то выполняется команда 2, и принятые данные передаются в аккумулятор или какой-либо регистр МП. Затем МП снимает блокировку сигналов блока прерывания, восстанавливает состояние прерванной программы и продолжает ее выполнение до получения следующего сигнала запроса прерывания.

**Прием-передача последовательных информационных сигналов**

Для ввода данных МП через буферный регистр данных передается слово в передающий РгД. Узел управления передачей (УУПд) осуществляет параллельную передачу слова из передающего регистра в сдвигающий передающий регистр (СПР). Здесь слова данных дополняются стартовым битом, битом четности и необходимым числом СТОП-битов. Наличие 8-разрядов данных в аппаратурных ресурсах УАПП позволяет применять различные методы кодирования данных 5-, 7- и 8-разрядными кодами. Затем слово данных, сформированное в СПР, под действием импульсов синхронизации сдвигается, и электрические сигналы в виде токовых посылок поступают в линию связи. Таким образом, формируется последовательный информационный формат пересылаемых данных.

При приеме данных последовательные кодовые сигналы принимаются в сдвигающий приемный регистр (СПрР). Затем информационные разряды данных параллельно передаются в приемный регистр данных УАПП.

Как уже отмечалось, МП при взаимодействии с УАПП выполняет четыре основные операции, которые аналогичны чтению и записи данных, осуществляемых в определенных регистрах УАПП. Один и тот же адрес используется для операций с регистрами состояния и управления, поскольку сигнал на шине Чт/Зп магистрали управления точно дополняет адрес кода команды. Аналогично, оказывается достаточно только одного кода адреса для операций с приемным и передающим регистрами данных РгД.

Если формат последовательных сигналов данных может быть реализован рассмотренными средствами приемника и передатчика, то УАПП используют для работы с любыми внешними устройствами последовательного действия без необходимости применения новых команд или каких-либо дополнительных аппаратурных средств.

Для настройки аппаратурных интерфейсов средств УАПП на определенные функции приема-передачи данных необходимо выполнить его программную инициализацию. Рассмотрим функции, определяемые каждым битом типичного управляющего слова.

Бит “Разрешение прерывания при приеме” управляет вместе с битом “Готовность слова данных” регистра состояния УАПП выработкой сигнала запроса прерывания работы МП при приеме данных.

Бит “Разрешение прерывания при передаче данных” управляет вместе с битом “Окончание передачи слова данных” регистра статуса выработкой сигнала запроса прерывания работы МП при передаче данных.

Несколько битов управляющего регистра используются для кодирования разрядности слов (7 или 8 бит), четности/нечетности или отсутствия контроля, количества СТОП-битов (1 или 2).

Два бита кода управляющего слова достаточно для задания сигналов сброса управляющих цепей УАПП и определения коэффициента деления частоты синхроимпульсов при приеме данных. Отметим, что инициализации УАПП предшествует сброс управляющих цепей посылкой кода управляющего слова, в котором заданы условия обнуления (установкой соответствующих управляющих битов в уровень “1”).

Коэффициент деления частоты синхроимпульсов отражает принятую схему выделения принимаемых информационных сигналов. Как уже было показано, начальная синхронизация вызывается СТАРТ-битом, сообщающим приемнику, что далее следуют, биты данных, четности, СТОП.

Чтобы облегчить синхронизацию работы внешних устройств, в УАПП используется в 16 или 64 раза более высокая частота, чем скорость передачи данных, определяемая соотношением 1/Тп. Следовательно, один период следования синхроимпульсов, передаваемых в УАПП, должен быть равен 1/16 Тп или 1/64 Тп. Поэтому после обнаружения перехода “1” или “0”, вызываемого СТАРТ-битом, с помощью средств УАПП можно подтвердить этот переход через 8 (или 32) периодов (т.е. приблизительно в середине периода Тп) и установить, что именно СТАРТ-бит имеет место, а не случайная помеха. Аналогичным образом осуществляется стробированием всех остальных информационных переходов внутри периода следования последовательных сигналов, что увеличивает вероятность правильного выделения информационных сигналов на уровне помех.

Узлы управления приемом и передачей данных (УУПд и УУПр) ведут анализ поступаемых и передаваемых сигналов. В случае отклонения от заданного режима эти блоки управления формируют уровень “1” соответствующих битов в регистре состояния.

Регистр состояния фиксирует следующие важные сигналы состояния. Бит “Запрос прерывания” всегда находится в состоянии, соответствующем сигналу “Запрос прерывания работы МП” УАПП. Этот бит сбрасывается в состояние “0”, когда МП выполняет команды чтения или записи данных в приемных – передающих регистрах УАПП. Установка бита “Запрос прерывания” в регистре состояния УАПП позволяет МП выделить только один УАПП, выставивший запрос прерывания, из нескольких УАПП, работающих параллельно в системе. Микропроцессор по своим внутренним программам может осуществить последовательное считывание и анализ данного бита в кодах состояний всех подключенных УАПП и выделить активный интерфейсный контроллер, т.е. сформировавшийся сигнал запроса прерывания.

Бит “Контроль четности” соответствует состоянию четности битов данных, если четность включена в формат и задана в управляющем слове. При нарушении четности данный бит регистра состояния устанавливается в значение “1”, что позволяет обратить внимание МП на нарушение установленного режима работы.

Как только завершается прием последовательного слова с приемного сдвигающего регистра, УУПр выполняет анализ количества СТОП-битов. При обнаружении каких-либо отклонений генерируется сигнал “Ошибка форматирования” путем установки соответствующего бита регистра в состояние “1”.

При приеме данных УАПП сформированные слова передаются из сдвигающего регистра в приемный РгД, а из него в МП. Если после приема одного слова не поступил запрос на его передачу в МП, то другое последовательное слово, сформированное в сдвигающем регистре, не может быть передано в приемный РгД. Поскольку приемный РгД заполнен, передача в него второго слова затрет первое. При этом теряется слово данных и нарушается правильная работа системы. Поэтому обнаружение факта приема следующего слова до передачи в МП предыдущего ведет к установке РгС в “1” бита “Ошибка переполнения”. Этот сигнал сообщает МП о том, что произошла потеря слова в процессе передачи последовательного массива данных.

Бит “Приемный регистр данных заполнен” свидетельствует о готовности слова данных к передаче в МП.

Бит “Передающий регистр данных освобожден” устанавливается в состояние “1” после передачи содержимого передающего регистра данных в сдвигающий регистр данных передатчика. Этот сигнал регистра состояния указывает микропроцессору те моменты, в которые может быть осуществлена передача очередного слова данных из МП и УАПП.

В составе регистра состояния УАПП могут быть также триггеры, устанавливаемые сигналами состояния модемов. Модемы – электронные блоки связи МП с дистанционно отдаленными внешними устройствами по телефонной линии связи. Они преобразуют цифровую информацию в аналоговую, предназначенную для распространения по телефонным линиям связи. Модемы ставятся на обоих концах линии связи для осуществления процессов модуляции и демодуляции цифровой информации.

Большая степень автономности работы УАПП позволяет обеспечить высокую эффективность использования МП в системе, поскольку требует от него только данных по инициализации своего состояния и позволяет МП выполнять вычислительный процесс одновременно с выполнением процесса ввода-вывода информации в УАПП. Отметим также, что развитые 16-разрядные МП имеют все те возможности, которые обеспечиваются в микросистемах на основе обычных МП и БИС УАПП.

**3. Логическая структура микропроцессорной системы на основе комплекта БИС секционного микропроцессора**

Комплект БИС секционного микропроцессора

Вследствие малой разрядности секций микропроцессора и определенности функционального наполнения их реализуют, как правило, в виде биполярных БИС в корпусе с 42 – 64 выводами. Большое количество выводов корпуса одной секции БИС и внутренняя логическая структура секции микропроцессора обеспечивают построение микро-ЭВМ различной разрядности с наращиваемым числом входов прерываний, различным количеством подключаемых УВВ и т.д.

В состав комплекта БИС секционного микропроцессора входит значительное число секций. Рассмотрим наиболее важные из них.

Секции арифметическо-логических БИС используются для построения операционных блоков обработки информации. Они включают в себя несколько разрядов АЛБ, управляющих регистров, СОЗУ и узлов связи с информационными магистралями. Секции БИС опережающего параллельного переноса позволяют объединить арифметическо-логические секции в высокоскоростные блоки обработки информации за счет создания пирамидальных схем ускоренного переноса.

Секции БИС для задания последовательности микрокоманд, применяемые для построения блоков микропрограммного управления, дают возможность вырабатывать выходной код в зависимости от внешнего управляющего кода, кода состояния процессора, содержимого внутреннего стека, а также внутреннего состояния самой секции.

При микропрограммном управлении каждой команде соответствует микропрограмма – последовательность микрокоманд, выполнение которых приводит к выполнению операций, заданных командой. Микрокоманда управляет выполнением одной или нескольких микроопераций.

БИС микропрограммного управления на основе программируемой логической матрицы (ПЛМ)

Хn

Х3

Х2

Х1

Yn

∙

∙

∙

∙

∙

∙

И

ИЛИ

Y1

Y2

Y3

Рис.8 Структура программируемой матрицы

Схема ПЛМ приведена на рис.8, она содержит логические матрицы адресов И и данных ИЛИ, с помощью которых осуществляется преобразование входного n-разрядного кода в m-разрядный выходной код. Матрицы данных ПЗУ и ПЛМ совпадают. Различие ПЗУ и ПЛМ существует только между матрицами адресов или дешифраторами адресов.

При построении дешифратора адресов ПЗУ обязательна постановка коммутирующих элементов между входными шинами и шинами переходных функций. Поэтому в дешифраторе каждой комбинации входных сигналов соответствует одна и только одна переходная функция. Всего переходных функций . В ПЛМ коммутирующие элементы для ряда входных переменных могут отсутствовать. Поэтому некоторые переменные не влияют на выбор переходной функции. Число переходных функций ПЛМ .

На практике получили распространение ПЛМ с многоразрядными адресами, для которых число входных переменных равно 16.24 разрядам и более. ПЗУ и ПЛМ различаются по системе адресации информационного поля данных, распределению информационных полей, возможности одновременного опроса нескольких переходных функций. Так как в ПЛМ осуществляется избыточная свободная адресация, а в ПЗУ – жесткая не избыточная адресация, то в ПЛМ большому количеству входных комбинаций адресов соответствует малое количество адресуемых переходных функций. Разные адреса могут определять одну и ту же переходную функцию или не определять ни одной. Кроме того, возможны варианты, когда один адрес определяет более одной переходной функции.

Специфика внутреннего распределения информационных полей в ПЛМ заключается в том, что посредством двух (или более) различных адресов можно адресовать одну и ту же область данных матрицы, что позволяет обращаться к микропрограммам по различным адресам. Следовательно, появляется возможность микропрограммного перехода к микропрограммам из различных текущих условий без выполнения специальных микрокоманд перехода. Эта особенность адресации обеспечивается наличием безразличных разрядов в коде адреса.

Одновременность выбора двух (и более) выходных информационных слов и объединение их по ИЛИ на выходе ПЛМ определяются возможностью адресации различных переходных функций одним адресом. При этом сохраняется выбор каждого информационного слова своим специфичным адресом. Жесткая не избыточная адресация ПЗУ позволяет иметь однозначное соответствие адресов и слов в информационном поле данных.

Обычная ПЛМ – комбинационная логическая схема. Чтобы построить микропрограммный последовательностный автомат, необходимы регистры на входах и выходах ПЛМ и обратная связь для задания закона выработки последовательностных состояний. Встраивание входных и выходных регистров в блок управления с ПЛМ обеспечивает автономную функциональную законченность БИС. Управление приемом и выдачей информационных состояний регистров позволяет использовать такую БИС в любой асинхронной (а также синхронной) микро-ЭВМ и снимает проблему “гонок” (“состязаний”).

Х2

Х1

Хn

Хn-1

КСП

ММК

МУ

РгС

РгАМК

РгК

БЦУ и С

Bl

Bi

И

ИЛИ

ПЛМ

УМУ и С

РгСМУ

БРгАМК

РгМК

Рис.9 Схема БИС микропрограммного управления на основе программируемой логической матрицы

Схема БИС микропрограммного управления вертикального типа с информационным полем на основе ПЛМ приведена на рис.9. Она содержит ПЛМ, регистр команд РгК, регистр состояния системы РгС, регистр следующего адреса микрокоманды РгАМК, буферный регистр следующего адреса микрокоманды БРгАМК, регистр внутренних состояний блока микропрограммного управления РгСМУ, выходной регистр микрокоманд РгМК, а также узел местного управления и синхронизации УМУиС. В качестве входной информации в ПЛМ подаются код команды (например, 16-разрядный), код следующего адреса (например, 4-разрядный) и несколько разрядов кода состояния системы, определяющих формирование условий переходов в микропрограммах и обработку сигналов прерывания.

Выходной код ПЛМ обычно содержит 20-30 разрядов, поскольку микрокоманды большей разрядности требуют применения корпусов БИС с большим количеством выводов. Часть выходных сигналов ПЛМ не выводится из БИС. Код следующего адреса микрокоманды записывается в регистр БРгАМК, а затем передается в регистр РгАМК. Сигналы с регистра РгСМУ делятся на две группы, одна из которых передается внутри БИС в УМУиС, а вторая через контакты корпуса выводится из БИС и используется блоком БЦУиС. В каждом машинном такте микрокоманда выдается на информационную магистраль микрокоманд ИММК, а в РгАМК заносится некоторый код, определяющий вместе с командами РгС и РгСМУ адрес следующей команды.

Свойство одновременности выбора нескольких выходных адресных шин ПЛМ увеличивает информационную насыщенность ПЛМ по сравнению с ПЗУ и позволяет выиграть в 3-10 раз в числе элементов, требуемых для построения информационных полей БИС.

Секции БИС приоритетно векторного прерывания включают в себя регистры приема внешних сигналов запросов прерывания, кода маскирования состояния, приоритетный шифратор, узел формирования кода приоритетного вектора, блоки местного микропрограммного управления и управления информационными магистралями.

Секции БИС триггерных регистров широкого назначения используются для организации разнообразных буферов хранения цифровой информации.

Секции БИС приемопередатчиков информации (с контролем правильности передачи или без него) содержат буферные регистры для хранения входной и выходной информации, усилители для работы на внешние информационные магистрали (как правило, с тремя внутренними состояниями: “Включено”, “Выключено”, “Отключено”).

**Комплект БИС для построения электронной системы**

В состав всех комплектов БИС (в том числе и секционных) входят БИС ОЗУ, ПЗУ, программируемого ПЗУ или ППЗУ, ПЛМ, программируемой ПЛМ или ППЛМ, имеющие разнообразную организацию информационных полей и управляющие интерфейсной логикой. Они позволяют создавать наращиваемые поля оперативной, постоянной и микропрограммной памяти, работать с прямыми и интерфейсными информационными сигналами, строить многовходовые системы адресной выборки, цепи контроля передаваемой и хранимой информации и т.д.

Логическая структура процессора на основе комплекта БИС секционного микропроцессора

Развитая внутренняя структура секционных комплектов БИС микропроцессора обеспечивает возможность построения высокопроизводительных средств эффективной эмуляции развитых микро-ЭВМ и позволяет создавать гибкие эффективные системы с адаптацией к области применения.

5

6

2

3

4

1

МА

МД

МД

МД

МД

МУ

РгК

ПВП

ППС

БА

БУМК

РгД

ЗУМК

ППС

ППС

РгА

РгМК

МП

БМУПр

РгС

Рис.10 Обобщенная структрура процессора на основе БИС комплекта секционного микропроцессора

Обобщенная структура процессора на основе комплекта БИС приведена на рис.10. В основу процессора положены секции микропроцессоров МП и секции ускоренного опережающего переноса (Рассматриваемые микропроцессоры могут быть построены на основе микропроцессорных комплектов серий КР582, К583, КР584, К589, К1800, КР1802, КР1804, U83-К1883). Для построения интерфейсных схем применены секции приемопередатчиков сигналов ППС, позволяющие организовать двунаправленные магистрали данных, адресов и сигналов управления. Блок микропрограммного управления строится на основе ПЗУ или ППЗУ, а также БИС выработки последовательности управляющих сигналов. Последние применяются в качестве блока управления микрокомандами БУМК. Для управления приоритетными векторными прерываниями используются соответствующие секции БИС ПВП для построения регистров – секции БИС регистров универсального назначения. Блок местного управления БМУ управляет всей системой.

Поскольку секции микропроцессора имеют некоторый набор рабочих регистров общего назначения, любые из них могут быть выделены в качестве счетчика команд, регистра – указателя стека или других рабочих и управляющих регистров.

Рассмотрим взаимодействие основных блоков процессора. Команда извлекается из ОЗУ и по магистрали данных МД передается регистр команд РгК. Код команды поступает через блок адресации БА и блок управления микрокомандами БУМК, чтобы преобразовать его в первый адрес микрокоманды в запоминающем устройстве микрокоманд ЗУМК. Затем выполняется несколько микроопераций для поиска данных в ОЗУ и передачи их в микропроцессор МП, выполнения операций в арифметическо-логическом блоке, контроля переполнения и запросов на прерывание и т.д.

Выходной код с ЗУМК является микрокомандой, обычно содержащей около 40 разрядов, например 9 разрядов для определения операции арифметическо-логического блока, 8 разрядов для адресации двух исходных операндов СОЗУ; остальные разряды – для сигналов выдачи выходных результатов, управления ОЗУ, приемопередатчиками, стеком и т.д.

Наличие регистра микрокоманд РгМК дает возможность организовать конвейерную работу процессора. Пусть в регистре РгМК содержится код 1 выполняемой микрокоманды. Поле микрокоманды, управляющее последовательностью микрокоманд, анализируется блоком местного управления процессора БМУПр и направляется в виде управляющих сигналов 2 в БУМК для определения адреса следующей микрокоманды. Адрес микрокоманды в виде сигналов 3 посылается в ЗУМК и новая микрокоманда поступает на выход РгМК. Микропроцессор параллельно выполняет ранее полученную микрокоманду, поскольку на реализацию микрокоманд 1-4 требуется всего лишь один цикл работы процессора. За это время микропроцессор должен пройти состояния до 5 включительно, т.е. кроме выполнения действий внутри микропроцессора должен быть передан в регистр состояния РгС код состояния процессоров. Если он не вызывает ветвления в микрокоманде, что определяет БМУПр по сигналам 6 от регистра РгС, то начинает выполняться следующая команда, уже подготовленная в РгМК. Таким образом, наличие РгМК дает возможность извлекать следующую микрокоманду параллельно с работой микропроцессора МП, что удваивает скорость работы процессора из-за исключения последовательной работы его операционной и управляющей частей.

Типичная команда в ЭВМ имеет такую последовательность исполнения отдельных тактов в процессе интерпретации: выборка команды; дешифрирование кода операции; выборка базового адреса; формирование исполнительного адреса; выборка операнда из ОЗУ; выполнение операции над операндом и содержимым рабочего регистра или регистра результата; засылка результата на хранение в регистр результата или рабочий регистр. Во время исполнения такой команды необходимы три обращения к ОЗУ.

Высокой пропускной способности микропроцессора позволяет достичь метод перекрытия (поточный или конвейерный) путем параллельных действий над потоком команд во времени по отдельным фазам их исполнения. Выше приведенная последовательность шести тактов команды при поточном исполнении сокращает кажущееся время выполнения команд до трех тактов. При этом достигается максимально эффективное использование ресурсов ОЗУ, поскольку обращение к нему осуществляется в течение каждого такта.

Для простейшего перекрытия процесса выполнения двух команд необходим доступ к информационным полям команды, что требует отдельного регистра команд. Код команды заносится в этот регистр из буферного регистра команд ОЗУ, в который он поступил в предыдущем такте выборки команды из ОЗУ. На время выполнения микропроцессором операции необходимо хранить операнд следующей команды в буферном регистре данных. Выбранный из ОЗУ базовый адрес помещается в выходной информационный регистр. Во время исполнения данной команды надо обеспечить единичное приращение содержимого счетчика команд. Поскольку арифметическо-логическое устройство занято выполнением операций, необходимо предусмотреть отдельный сумматор или инкрементный блок для единичного увеличения кода адреса команды.

Микро-ЭВМ на основе секционного комплекта биполярных БИС, например серии К1800, может иметь 16-32 – разрядную сетку, 8-64 – уровневую приоритетную систему прерывания (цикл 100-200 нс). Это позволяет ЭВМ выполнять операции типа сложения за 100-200 нс, а операцию умножения четырехбайтовых слов – за 4-16 мкс. Система команд обеспечивает выполнение 100-150 операций, использующих 8-16 режимов адресации информации.

**4. Области применения микропроцессорных вычислительных средств**

При проетировании микро-ЭВМ необходимо обеспечивать: простое наращивание разрядности и производительности; возможность широкого распараллеливания вычислительного процесса; эффективную обработку алгоритмов решения различных задач; простоту технической и математической эксплуатации.

Сама микро-ЭВМ, будучи оснащенной разнообразными устройствами ввода-вывода информации, может применяться в качестве законченного изделия. Однако часто к микро-ЭВМ необходимо кроме устройств ввода-вывода информации подключить сигналы от множества датчиков и исполнительных механизмов какого-либо сложного объекта управления или технологического процесса. В этом случае уже образуется сложная управляющая система, центром которой является микро-ЭВМ.

В управляющих системах используются отдельные микро-ЭВМ, расширенные микро-ЭВМ (за счет наращивания числа микропроцессоров для увеличения разрядности) и системы микро-ЭВМ, образующие вычислительные сети с параметрами, близкими к параметрам развитых мини-ЭВМ.

Микропроцессоры и микро-ЭВМ находят широкое распространение в тестовых и контрольно-измерительных системах; системах управления технологическими процессами; программного управления станками; контроля состояний линий связи; подсистемах первичной обработки информации и управляющих системах промышленного назначения и системах автоматизации научного эксперимента; подсистемах управления периферийным оборудованием вычислительных систем и комплексов; специализированных вычислительных устройствах.

Дешевые микропроцессоры применяют в часах, калькуляторах, кино- и фотокамерах, радиоприемниках и телевизорах. Микропроцессоры (например, однокристальные микропроцессоры серии К580) ставятся в замки и звонки, домашние приборы и устройства.

Более дорогие микропроцессоры успешно конкурируют с механическими и электромеханическими блоками управления “жесткой”, или “аппаратурной”, логики.

Микропроцессоры и микроконтроллеры устанавливаются для регулирования среды в домашних аквариумах и больших водоемах; они осуществляют контроль pH среды, температуры, плотности, содержания кислорода; управляют освещением, подогревом, уровнем воды, дозированием корма и биологических добавок, производят фильтрацию и аэрацию и т.д.

Возьмем, например, обычный и широко распространненый механический инструмент – электрическую дрель. Встроенный в нее микропроцессор позволяет учитывать сопротивление сверлению и автоматически изменять частоту вращения в зависимости от твердости обрабатываемого материала. При использовании дрели для завинчивания винтов и гаек микропроцессор выключает питание электромотора до окончания операции, завершаемой за счет инерции.

Встраивание микропроцессора, например серии К580, в пишущую машинку позволяет обрабатывать текст и запоминать его в памяти. Обработка текста представляет собой развитые операции редактирования от исправления слов и расстановки абзацев до вставки нового текста и формирования фраз из уже написанных словосочетаний. Затем запомненный текст может быть автоматически многократно и безошибочно отпечатан. Подключение внешней памяти на магнитной кассете (ленте, диске) к такой пишущей машинке с микропроцессорным управлением позволяет накапливать архив документов. Это позволяет осуществить в такой системе функции поиска документов по признакам, сортировку документов, ведение архива и т.д.

Бурно развивается производство электронных игр с использованием микропроцессоров и микроконтроллеров. Оно порождает не только интересные средства развлечения, но и дает возможность проверить и развить приемы логических заключений, ловкость и скорость реакции. Игры с телевизионным индикатором или без него обеспечивают выполнение сложных функций вследствие применения логически более мощных, но доступных по стоимости микропроцессоров.

Микропроцессор может выполнять важнейшие функции в автомобилях всех типов. Водитель может вызвать из микро-ЭВМ на индикатор числовые значения скорости, уровня топлива, средний и текущий расход топлива на единицу пройденного пути, время прибытия в заданный пункт при определенных водителем условиях, температуру двигателя и т.д. Ведутся исследования по применению микропроцессорных средств для управления двигателем (подача топлива, зажигание, регулирование частоты вращения, эффективность и контроль отходов при сгорании топлива); управления ходовой частью (управление скоростью и тормозной системой, учет влияния нагрузок и рельефа дорог); управления безопасностью движения (снижение требований к водителю и учет обстановки на дороге); управления комфортом в кабине (салоне).

На основе микропроцессоров серии К587 разработан прибор для контроля психофизического состояния человека типа “Тонус НЦ-01”.

Микропроцессоры эффективно встраиваются в дисплеи, экранные пульты и терминалы, где на них возложены функции редактирования данных, управления, генерации символов и хранения и воспроизведения изображений.

Микропроцессоры и микро-ЭВМ берут на себя функции предварительной обработки информации внешних устройств, преобразования форматов данных, контроллеров электромеханических внешних устройств. Для этих целей применяют микропроцессоры серий К580, К536, К1803.

Микропроцессоры в аппаратуре связи дают возможность производить контроль ошибок, кодирование – декодирование информации и управлять приемопередающими устройствами. Применение микропроцессоров позволит в несколько раз сократить необходимую ширину телевизионного и телефонного каналов, создать новое поколение оборудования связи. Для этих целей пригодны микропроцессорные средства на основе микро-ЭВМ типа “Электроника С5”, “Электроника НЦ-32” и др.

Использование микропроцессоров в контрольно-измерительных приборах и в качестве контрольных средств радиоэлектронных систем дает возможность проводить калибровку, испытание и поверку приборов; коррекцию и температурную компенсацию; контроль и управление измерительными комплексами; преобразование и обработку, индикацию и представление данных; диагностику и локализацию неисправностей. Микро-ЭВМ типа “Электроника С5” успешно обрабатывают данные измерений.

Микропроцессорные средства решают сложную техническую проблему разработки различных систем сбора и обработки информации, где общие функции сводятся к передаче множества сигналов в один центр для оценки и принятия решения. Например, в медицине для круглосуточного контроля состояния тяжелобольных необходимо периодически замерять кровяное давление, частоту биения сердца и дыхания, параметры электрокардиограмм и т.д. Централизованная система на основе большой или мини-ЭВМ для этих целей получается громоздкой и достаточно дорогой. Распределенная диагностическая система на основе микропроцессора имеет высокую живучесть, проста по организации и позволяет получить хорошие экономические показатели. Микропроцессорные распределенные системы на основе микро-ЭВМ типа “Электроника-60” решают успешно эти задачи.

Обобщая рассмотренные примеры использования микропроцессоров, можно выделить четыре основных направления в применении микропроцессоров и микропроцессорных систем: 1) встроенные системы контроля и управления; 2) локальные системы накопления и обработки информации; 3) распределенные системы управления сложными объектами; 4) распределенные высокопроизводительные системы параллельных вычислений.

**Встроенные системы контроля и управления**

Встраивание, т.е. постановка микропроцессора в любую, даже простейшую схему (пульт) управления, принципиально изменяет качество функционирования отдельных инструментов, приборов, разнообразных устройств, отдельных агрегатов технологической линии и т.д. Встраивание микропроцессора позволяет оптимизировать режимы работы управляемых объектов или процессов и за счет этого получать и прямой и косвенный технико-экономический эффект. Прямой технико-экономический эффект выражается в экономии потребляемой энергии, повышении срока службы и снижении расхода сверл, фрез, нагревательных элементов и т.д. Косвенный технико-экономический эффект связан со снижением требований к обслуживающему персоналу и повышением производительности. Опыт показывает, что практически во всех случаях встраивания микропроцессора только экономия электроэнергии обеспечивает окупаемость микропроцессорного управления за 1-1,5 года.

Управление оборудованием на основе встроенных систем контроля и управления создает реальные предпосылки осуществления полностью автоматизированных производств. Встраивание микропроцессора повышает качество работы и производительность оборудования, существенно снижает требования к персоналу, работающему на оборудовании. Цифровое управление отдельными единицами оборудования позволяет легко собирать информацию (или вызвать его) с нижних контуров на верхние уровни иерархической системы управления.

Управляющие встроенные микропроцессоры предназначены для решения локальных задач управления объектами и могут выполнять функции контроллеров устройств, подключаемых к ЭВМ, более высоких контуров управления или быть центром управляющих систем нижних контуров управления.

Микропроцессоры, встраиваемые в оборудование, в большинстве случаев не комплектуются внешними устройствами и содержат только упрощенный специализированный пульт управления и ПЗУ управляющих программ. Лишь для некоторых применений, требующих частой замены управляющих программ, необходим загрузчик, выполненный на основе простейших технических средств.

**Локальные системы накопления и обработки информации**

Для любого специалиста или руководителя необходимо всегда иметь “под рукой” достаточно большой объем специфичной информации. Сегодня эта информация доступна лишь в библиотеке, записной книжке или на экране терминала, подключенного к большой ЭВМ. Последнее средство является наиболее приемлемым, но дорогостоящим и имеющим большие ограничения из-за чрезмерной централизации информации. Локальные, т.е. расположенные на рабочем месте, микропроцессорные системы накопления и обработки информации технически просто и экономически доступно осуществляют информационное обеспечение специалистов и руководителей, инженеров и врачей. Объединение локальных систем между собой в сеть и дистанционное подключение этой сети к большой ЭВМ с громадным информационным архивом позволяют создать завершенную автоматизированную систему информационного обеспечения.

Внешние устройства локальных вычислительных систем могут встраиваться в корпус микро-ЭВМ. Их комплект содержит устройства, минимально необходимые для вычислительных работ и обработки данных: цифровую, алфавитно-цифровую и функциональную клавиатуру; алфавитно-цифровой индикатор; печатающее устройство; внешние запоминающие устройства.

В комплект более сложных микро-ЭВМ, ориентированных на решение инженерных и научных задач, могут входить разнообразные внешние устройства, например устройства ввода-вывода и печати, визуального отображения, внешней памяти, комплексирования, пульты операторов общего назначения и т.д.

Распределенные системы управления сложными объектами. Альтернативой распространенным системам с центральным процессором становятся распределенные микропроцессорные управляющие системы. В этом случае микропроцессоры и связанные с ними схемы обработки данных физически располагаются вблизи мест возникновения информации, что позволяет вести обработку информации в месте ее возникновения, например, вблизи двигателя, рулей управления, тормозной системы и т.д. Связь таких локальных систем обработки с центральной системой обработки и накопления данных и создает пространственно распределенную систему управления.

В распределенных системах достигается значительная экономия в количестве и распределении линий связи, повышается живучесть, существенно развиваются возможности оптимизации режимов управления и функционирования.

**Распределенные высокопроизводительные системы параллельных вычислений**

Микропроцессоры открыли новые возможности решения сложных вычислительных задач, алгоритмы вычисления которых допускают распараллеливание, т.е. одновременные (параллельные) вычисления на многих микропроцессорах.

Системы параллельных вычислений на основе десятков, сотен, тысяч одинаковых или специализированных на определенные задачи микропроцессоров при значительно меньших затратах дают такую же производительность, как и вычислительные системы на основе мощных процессоров конвейерного типа. Микропроцессоры в распределенной вычислительной системе могут быть одинаковыми и универсальными или специализированными на определенные функции. Создание микропроцессорных систем с большим количеством специализированных по функциональному назначению процессоров позволяет проектировать мощные вычислительные системы нового типа по сравнению с традиционными развитыми большими вычислительными машинами.